

混合模块 TC^2CLA 无等待时间序列及性质

王元媛, 黄娟

(中国地质大学(武汉) 数理学院, 湖北 武汉 430074)

摘 要: 在不增加顶层进位级联超前进位加法器(TC^2CLA)模块延迟时间的条件下, 为最大限度地扩展操作位数, 在分析混合模块 TC^2CLA 的延迟时间公式的基础上提出了混合模块顶层级联超前进位加法器无等待时间序列, 给出了混合模块 TC^2CLA 无等待时间序列和无等待时间完全序列的定义, 推证出序列的延迟时间公式及一系列重要性质.

关键词: 顶层进位级联超前进位加法器; 混合模块; 无等待时间序列; 延迟时间公式

中图分类号: TP342.21

文献标识码: A

文章编号: 1000-7180(2011)07-0013-04

Hybrid-Modules TC^2CLA Without Waiting Time Sequence and it's Properties

WANG Yuan-yuan, HUANG Juan

(College of Mathematics and Physics, China University of Geosciences, Wuhan 430074, China)

Abstract: The hybrid modules Top-level Carry Cascade Carry Lookahead Adders (TC^2CLA) without waiting time sequence was advanced on the basis of analysis delay time formula of hybrid modules TC^2CLA for purpose of the fullest expanding operand bit of TC^2CLA under conditions of not raising delay time of TC^2CLA . The definitions of hybrid modules TC^2CLA without waiting time sequence and without waiting time complete sequence were given, and the delay time formula and it's a series of important properties were deduced.

Key words: TC^2CLA ; hybrid module; without waiting time sequence; delay time formula

1 引言

加法运算是各种运算及复杂算法实现的基础, 直接影响处理器以及各种复杂算法的运行速度^[1-2]. 因此, 高速、低耗加法器的设计一直是研究热点^[3-4]. 随着应用需求和微电子技术的发展, 运算器、处理器、计算机的字长在成倍的增加, 长加法器也就应运而生. 长加法器优化设计的目标是高速、低耗、资源占用小, 其关键是构思高速、高效进位方法的算法与结构. 近三十年来, 涌现出一流的高速加法器^[3-8]. 文献[4]提出了顶层进位级联超前进位加法器结构并解决了相同模块 TC^2CLA 的延迟时间公式和优化设计规则. 文献[5]解决了更具普遍性的混合模块的延迟时间公式和速度优化序列两个基本问题. 但尚未

进一步处理混合模块扩展操作位数的最大限度和最短延迟时间的速度优化序列设计问题. 文中提出混合模块 TC^2CLA 无等待时间序列及其一系列重要性质, 为在不增加 TC^2CLA 延迟时间条件下的操作位数的扩展和速度优化序列设计提供基础.

2 混合模块 TC^2CLA

2.1 混合模块 TC^2CLA 的结构参数

n 位 TC^2CLA 各操作位的序号: $i \in [0, n-1]$;

TC^2CLA 直接级联数 K 和模块级联序号:

$j \in [0, k], k = K-1$;

j 级联 TC^2CLA 模块各层组位数:

$\ell_m, j \in [0, k], m \in [1, M_j]$;

收稿日期: 2010-10-28; 修回日期: 2010-11-22

基金项目: 国家自然科学基金项目(10926102); 中国地质大学优秀青年教师计划(CUGQNL099)

j 级 TC²CLA 模块的位数:

$$N_j = \prod_{m=1}^{M_j} \ell_{jm}, j \in [0, k];$$

TC²CLA 操作位数:

$$n = \sum_{j=0}^k N_j = \sum_{j=0}^k \prod_{m=1}^{M_j} \ell_{jm};$$

混合模块 TC²CLA 第 M 层各级序号:

$$k_M \in [0, \sum_{j=0}^k \prod_{m=M+1}^{M_j} \ell_{jm} - 1];$$

$$\text{且 } \prod_{m=M+1}^{M_j} \ell_{jm} = \begin{cases} 0, & M_j < M \\ 1, & M_j = M \end{cases};$$

混合模块 TC²CLA 的序列: $\{M_j\}, j \in [0, k]$.

2.2 混合模块 TC²CLA 延迟时间公式

以各位加数 $A_i, B_i (i \in [0, n-1])$ 和进位输入 C_0 信号到达加法器作为计时起点, $t_0 = 0$, 按标准延迟模型各种门电路延迟时间统一用 t_{pd} 表示. 由关键路径得出了混合模块 TC²CLA 的 k 模块进位输出延迟时间 $T_{pd}^{k, \omega} (M_0 \cdots N_k, k)$ 和最高位和的最大延迟时间 $T_{pd}^{k, s(\max)} (M_0 \cdots M_k, k)^{[5]}$:

$$T_{pd}^{k, \omega} (M_0 \cdots N_k, k) = \sum_{j=0}^k \{ (M_j t_{pd} - T_{pd}^{j-1, \omega} (M_0 \cdots M_{j-1}, j-1) \cdot \Omega \left[\frac{M_j t_{pd}}{T_{pd}^{j-1, \omega} (M_0 \cdots M_{j-1}, j-1)} \right] + t_{pd} \} \quad (1)$$

$$T_{pd}^{k, s(\max)} (M_0 \cdots M_k, k) = M_k t_{pd} + \sum_{j=0}^k \{ (M_j t_{pd} - T_{pd}^{j-1, \omega} (M_0 \cdots M_{j-1}, j-1) \cdot \Omega \left[\frac{M_j t_{pd}}{T_{pd}^{j-1, \omega} (M_0 \cdots M_{j-1}, j-1)} \right] + t_{pd} \} \quad (2)$$

式中, $\Omega(x) = \begin{cases} 0 & x = 0 \\ 1 & x \neq 0 \end{cases}$, x 为整数; $[\]$ 为取整运算符;

$t_0 = T_{pd}^{-1, \omega} (M_{-1}, -1) = 0, \Omega \left(\left\lceil \frac{M_j t_{pd}}{t_0} \right\rceil \right) = 1$.

作为特例, m 层相同模块 K_m 级 TC²CLA, $\{M_j\}$ 中 $M_j = m, j \in [0, k], K_m = k_m + 1$, 由(1)、(2)式有相同模块 K_m 级 TC²CLA 进位输出延迟时间 $T_{pd}^{k, \omega} (m, k_m)$ 和最高位和的最大延迟时间 $T_{pd}^{k, s(\max)} (m, k_m)$:

$$T_{pd}^{k, \omega} (m, k_m) = (k_m + m + 1) t_{pd} \quad (3)$$

$$T_{pd}^{k, s(\max)} (m, k_m) = (k_m + 2m + 1) t_{pd} \quad (4)$$

式(3)、(4)与 m 层相同模块 K_m 级 TC²CLA 延迟时间公式完全一致^[4-5].

2.3 混合模块 TC²CLA 的速度优化序列

由式(1)可导出并证明下述结论: 按模块层数

M 的递增级联序列 $\{M_j\}, M_j \geq M_{j-1}, (j \in [1, k])$ 为混合模块 K 级 TC²CLA 的 $K!$ 个级联序列 $\{M_j\}, (j \in [1, k], k = K-1)$ 中的速度优化序列^[5].

若 K 个模块中有 u 种相同模块, W_u 为第 u 种模块数 ($W_u > 1$), $K!$ 个级联序列 $\{M_j\}$ 中就会有相同序列, 定义 D 为不含相同序列的级联序列数, 则有级联序列 D 的公式^[5]:

$$D = \frac{K!}{\prod_u W_u!} \quad (5)$$

上述结论解决了任意给定的混合模块 TC²CLA 的速度优化排序问题, 已经成为混合模块 CLA 的一条设计规则^[5,8].

3 混合模块 TC²CLA 的无等待时间序列

3.1 无等待时间序列的定义

定义 混合模块 K 级 TC²CLA 序列 $\{M_j\}, (j \in [0, k], k = K-1)$, 若 $\Delta T_j = M_j t_{pd} - T_{pd}^{j-1, \omega} (M_0 \cdots M_{j-1}, j-1) = 0 (j \in [1, k])$, 则该序列 $\{M_j\}, (j \in [0, k], k = K-1)$ 为混合模块 K 级 TC²CLA 无等待时间序列. 若取 $M_0 = 1$, 则该序列 $\{M_j\}, (j \in [0, k], k = K-1, M_0 = 1)$ 为混合模块 K 级 TC²CLA 无等待时间完全序列. 其中 $\Delta T_j = 0, (j \in [1, k])$ 为无等待时间序列的条件.

由无等待时间序列条件:

$$\Delta T_j = M_j t_{pd} - T_{pd}^{j-1, \omega} (M_j \cdots M_{j-1}, j-1) = 0 \quad (j \in [1, k]) \quad (6)$$

由式(1)、(6)可得:

$$M_j = T_{pd}^{j-1, \omega} (M_j \cdots M_{j-1}, j-1) / t_{pd} = M_0 + j \quad (j \in [0, k]) \quad (7)$$

故无等待时间序列为:

$$\{M_j\} = \{M_0 + j\} \quad (j \in [0, k], M_0 \geq 1 \text{ 的整数}) \quad (8)$$

无等待时间完全序列为:

$$\{M_j\} = \{M_0 + j\} = \{j + 1\} \quad (j \in [0, k], M_0 = 1) \quad (9)$$

3.2 无等待时间序列 K 级 TC²CLA 的延迟时间

将式(6)、(7)代入式(1)、(2)可得无等待时间序列 K 级 TC²CLA 混合模块延迟时间公式:

$$T_{pd}^{k, \omega} (M_0 \cdots M_k, k) = (M_0 + k + 1) t_{pd} \quad (10)$$

$$T_{pd}^{k, s(\max)} (M_0 \cdots M_k, k) = (M_0 + M_k + k + 1) t_{pd} = (2M_0 + 2k + 1) t_{pd} \quad (11)$$

对于无等待时间完全序列有:

$$T_{pd}^{k, \omega} (k) = (k + 2) t_{pd} \quad (12)$$

$$T_{pd}^{k,s(\max)}(k) = (2k+3)t_{pd} \quad (13)$$

3.3 K 级 TC²CLA 无等待时间序列的性质

K 级 TC²CLA 无等待时间序列是速度与操作位数优化设计的一个平衡点,具有下列性质:

(1) 无等待时间序列 $\{M_j\} = \{M_0 + j\}$, ($j \in [0, k]$) 是模块层数公差 $d = 1$ 的等差递增数列.

(2) 由 $d = 1 > 0$ 可知,无等待时间序列 $\{M_j\} = \{M_0 + j\}$, ($j \in [0, k]$) 一定是速度优化序列.

(3) 无等待时间序列 $\{M_j\} = \{M_0 + j\}$, ($j \in [0, k]$) 中, $M_0 \geq 1$ 的正整数,通项 $M_j = M_0 + j \geq M_0$ 的正整数 ($j \in [0, k]$).

(4) 无等待时间序列 $\{M_j\} = \{M_0 + j\}$, ($j \in [0, k]$) 中,无相同层数 $M_j = M_0 + j$, ($j \in [0, k]$), 故序列内相同模块最大级联数 $K_{m(\max)} = 1$, ($m \in [M_0, M_0 + k]$).

(5) 无等待时间序列 $\{M_j\} = \{M_0 + j\}$ 对应的模块进位输出延迟时间序列为 $\{(M_0 + j + 1)t_{pd}\}$, ($j \in [0, k]$); 模块最高位和的最大延迟时间序列为 $\{(2M_0 + 2j + 1)t_{pd}\}$, ($j \in [0, k]$).

(6) 组位数相同 ($\ell_{jm} = \ell$) 的无等待时间序列 $\{M_j\} = \{M_0 + j\}$, ($j \in [0, k]$) 可表示为以组位数 ℓ 为底的模块操作数 N_j 的对数序列 $\{M_j\} = \{\log \ell^{N_j}\}$, ($j \in [0, k]$).

(7) 组位数相同的无等待时间序列 $\{M_j\}$, ($j \in [0, k]$) 对应的模块操作位数序列为 $\{N_j\} = \{\ell^{M_j}\} = \{N_0 \ell^j\}$ ($j \in [0, k]$, $a_0 = N_0 = \ell^{M_0}$), 是公比 $q = \ell$ 的等比递增数列.

(8) 组位数相同的无等待时间序列 $\{M_j\}$, ($j \in [0, k]$) 的操作位数 n 为序列的前 K ($K = k + 1$) 项和:

$$n = S_K = \sum_{j=0}^k N_j = \sum_{j=0}^k \ell^{M_j} = \frac{\ell N_k - N_0}{\ell - 1} = \frac{\ell^{M_0} (\ell^{k+1} - 1)}{\ell - 1} = \frac{\ell^{M_0} (\ell^K - 1)}{\ell - 1}, (K = k + 1).$$

(9) 组位数相同的无等待时间序列 $\{M_j\}$, ($j \in [0, k]$), 对应的模块进位输出延迟时间序列为 $\{(M_0 + j + 1)t_{pd}\} = \{(\log \ell^{N_j} + 1)t_{pd}\}$, ($j \in [0, k]$); 模块最高位和的最大延迟时间序列为 $\{(2M_0 + 2j + 1)t_{pd}\} = \{(2 \log \ell^{N_j} + 1)t_{pd}\}$, ($j \in [0, k]$).

(10) 无等待时间完全序列 $\{M_j\} = \{M_0 + j\} = \{j + 1\}$, ($j \in [0, k]$), $M_0 = 1$ 是 $M_0 = 1$ 的无等待时间序列, 是模块层数从 1 到 $K = k + 1$ 的正整数序列.

(11) 无等待时间完全序列 $\{M_j\} = \{j + 1\} =$

$\{J\}$, ($j \in [0, k]$, $J = j + 1$, $J \in [1, K]$, $K = k + 1$) 对应的模块进位输出延迟时间序列为 $\{(j + 2)t_{pd}\}$, ($j \in [0, k]$); 最高位和的最大延迟时间序列为 $\{(2j + 3)t_{pd}\}$, ($j \in [0, k]$).

(12) 组位数相同 ($\ell_{jm} = \ell$) 的无等待时间完全序列 $\{M_j\} = \{j + 1\} = \{\log \ell^{N_j}\}$, ($N_j = \ell^{j+1}$, $j \in [0, k]$).

(13) 组位数相同的无等待时间完全序列 $\{M_j\} = \{M_0 + j\} = \{j + 1\}$, ($j \in [0, k]$) 对应的模块操作位数序列为 $\{N_j\} = \{\ell^{j+1}\}$, ($j \in [0, k]$), 是初项 $a_0 = N_0 = \ell$, 公比 $q = \ell$ 的等比递增数列.

(14) 组位数相同的无等待时间完全序列 $\{M_j\} = \{j + 1\}$, ($j \in [0, k]$) 的操作位数 (前 K 项和): $n = S_K = \frac{\ell(\ell^K - 1)}{\ell - 1} = \frac{\ell(N_k - 1)}{\ell - 1}$, ($K = k + 1$).

(15) 组位数相同的无等待时间序列 $\{M_j\} = \{j + 1\}$, ($j \in [0, k]$) 对应的模块操作位数序列为 $\{N_j\} = \{\ell^{j+1}\} = \{(\ell - 1)S_j + \ell\}$, ($j \in [0, k]$, $S_j = \sum_{i=0}^{j-1} N_i = \frac{\ell(\ell^j - 1)}{\ell - 1}$).

性质(1) ~ (4) 指出混合模块 TC²CLA 无等待时间序列 $\{M_j\}$, ($j \in [0, k]$) 是无相同层数模块级联 (最大级联数 $K_{m(\max)} = 1$) 的速度优化序列, 是模块层数公差 $d = 1$ 的等差递增数列, 是模块层数从 M_0 到 $M_k = M_0 + k$ 的连续正整数序列.

性质(5) 给出与模块层数序列 $\{M_j\}$ 对应的模块进位延迟时间序列 $\{(M_0 + j + 1)t_{pd}\}$ 和最高位和最大延迟时间序列 $\{(2M_0 + 2j + 1)t_{pd}\}$, ($j \in [0, k]$).

性质(6) ~ (9) 是组位数相同, 即 $\ell_{jm} = \ell$ 条件下具有的性质: 模块层数序列 $\{M_j\}$ 可表示为模块操作位数 N_j 以组位数 ℓ 为底的对数序列 $\{\log \ell^{N_j}\}$, ($N_j = \ell^{N_j} = N_0 \ell^j$, $j \in [0, k]$); 与 $\{M_j\}$, ($j \in [0, k]$) 序列总操作位数为 $n = \frac{\ell^{M_0} (\ell^K - 1)}{\ell - 1}$, ($K = k + 1$); 与

$\{M_j\}$ 对应的模块操作位数序列为 $\{N_j\} = \{N_0 \ell^j\}$, ($j \in [0, k]$) 这个公比 $q = \ell$ 的等比递增数列, 模块进位与最高位和最大延迟时间序列为 $\{(\log \ell^{N_j} + 1)t_{pd}\}$, $\{2 \log \ell^{N_j} + 1)t_{pd}\}$.

性质(10) ~ (11) 给出无等待时间完全序列 $\{M_j\} = \{j + 1\}$, ($j \in [0, k]$, $M_0 = 1$) 是 $M_0 = 1$ 的无等待时间序列, 是模块层数从 1 到 $K = k + 1$ 的正整数序列. 其对应延迟时间序列为 $\{T_{pd}^j(j)\} = \{(j + 2)t_{pd}\}$ 和 $\{T_{pd}^{j,s(\max)}\} = \{(2j + 3)t_{pd}\}$, ($j \in [0, k]$).

性质(12) ~ (15) 是组位数 ($\ell_{jm} = \ell$) 相同条件

下具有的性质: 模块层数序列 $\{M_j\} = \{j+1\} = \{\log \ell^{N_j}\}$, ($N_j = \ell^{N_j} = N_0 \ell^{j+1}$, $j \in [0, k]$) 与 $\{M_j\}$ 相对应的模块操作位数序列 $\{N_j\} = \{\ell^{j+1}\} = \{(\ell-1)S_j + \ell\}$, 序列操作位数 $n = S_K = \frac{\ell(\ell^K - 1)}{\ell - 1}$, $S_j = \sum_{i=0}^{j-1} N_i = \frac{\ell(\ell^j - 1)}{\ell - 1}$, ($j \in [0, k]$, $K = k+1$).

4 结束语

定义 $\{M_j\} = \{M_0 + j\}$ ($j \in [0, k]$, $M_0 \geq 1$ 的整数) 为混合模块 TC^2CLA 的无等待时间序列; 定义 $\{M_j\} = \{M_0 + j\} = \{j+1\}$ ($j \in [0, k]$, $M_0 = 1$) 为混合模块 TC^2CLA 无等待时间完全序列.

混合模块 TC^2CLA 无等待时间序列延迟时间 $T_{pd}^{k,c^0}(M_0 \cdots M_k, k) = (M_0 + k + 1)t_{pd}$, $T_{pd}^{k,s(max)}(M_0 \cdots M_k, k) = (2M_0 + 2k + 1)t_{pd} = (2M_k + 1)t_{pd}$ 是最小或最大模块层数 (M_0 或 M_k) 与级数 k 的函数.

混合模块 TC^2CLA 无等待时间完全序列延迟时间 $T_{pd}^{k,c^0}(k) = (k + 2)t_{pd} = (M_k + 1)t_{pd}$, $T_{pd}^{k,s(max)}(k) = (2k + 3)t_{pd} = (2M_k + 1)t_{pd}$ 仅是最大模块层数 M_k 或级数 k 的函数.

推导出混合模块 TC^2CLA 无等待时间序列和完全序列在组位数 ℓ_m 相同和不同的条件下的 15 条性质, 为混合模块 TC^2CLA 无等待时间序列和完全序列在不增加 TC^2CLA 延迟时间条件下的操作位数的扩展和优化设计提供了基础、方法和途径.

参考文献:

[1] Huong Yenmou, James B Kuo. A high-speed condi-

tional carry select (CCS) adder circuit with a Successively incremented carry number block (SICNB) structure for low-voltage VLSI implementation [J]. IEEE Transactions on Circuits and systems, 2000, 47 (10): 1074-1079.

[2] Bui Hungtien, Wang Yuke, Jiang Yingtao. Design and analysis of low-power 10-transistor full adders using novel XOR-XNOR gates [J]. IEEE Transactions on Circuits and systems, 2002, 49(1): 25-30.

[3] 贾嵩, 刘飞, 刘凌, 等. 对数跳跃加法器的算法及结构设计[J]. 电子学报, 2003, 31(8): 1186-1189.

[4] 王礼平, 王观凤. 顶层进位级联 CLA 的算法与设计规则 [J]. 华中科技大学学报: 自然科学版, 2004, 32(7): 88-91.

[5] 王元媛, 王礼平. TC^2CLA 的混合模块延迟公式及优化序列[J]. 微电子学与计算机, 2008, 25(11): 64-67.

[6] Wang C, Lee PoMing, Lee Rongchin, et al. A 1.25GHz 32bit tree-structured carry lookahead adder [C]// IEEE Intel Synop On Circuits and Systems. Sydney, Australia: IEEE, 2001, 4: 80-83.

[7] Wang Yuke, Pai C, Song Xiaoyu. The design of hybrid carry-lookahead/carry-select adders [J]. IEEE Transactions on Circuits and systems, 2002, 49(1): 16-24.

[8] 王元媛, 王礼平. 混合模块无等待时间序列超前进位加法器设计[J]. 微电子学与计算机, 2005, 25(12): 12-15.

作者简介:

王元媛 女, (1982-), 博士, 讲师. 研究方向为计算数学、计算技术及应用.

黄娟 女, (1978-), 博士, 讲师. 研究方向为机器学习、模式识别.

(上接第 12 页)

[2] Chen WunHwa, Shih JenYing. A study of taiwan's issuer credit rating systems using support vector machines [J]. Expert Systems with Applications, 2006, 30(3): 427-435.

[3] 黄双福, 陈贤富. 基于改进 SVM 主动学习算法的入侵检测[J]. 微电子学与计算机, 2010, 27(3): 75-77.

[4] CRISP-DM. Cross industry standard process for data mining [EB/OL]. (2000) [2007-7-28] <http://www.Crisp-dm.org>, 2007.

[5] DMG. PMML version 3.1, in data mining group [EB/OL]. (2005) [2007-7-28] <http://www.dmg.org/index.html>, 2005.

org/index.html, 2005.

[6] 孙强. 信息安全风险评估模型的定性与定量对比研究 [J]. 微电子学与计算机, 2010, 27(6): 92-96.

作者简介:

高武奇 男, (1975-), 博士生, 讲师. 研究方向为数据挖掘、分布交互仿真和 SOA 技术.

康凤举 男, (1947-), 博士生导师, 教授. 研究方向为计算机仿真和控制系统仿真技术.

钟联炯 男, (1938-), 博士生导师, 教授. 研究方向为人工智能与系统仿真研究.